

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-254680

(43)公開日 平成8年(1996)10月1日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133			G 0 2 F 1/133	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号 特願平7-58410

(22)出願日 平成7年(1995)3月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 久保 明

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内

(72)発明者 川野 英郎

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内

(72)発明者 清木 正寛

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内

(74)代理人 弁理士 則近 憲佑

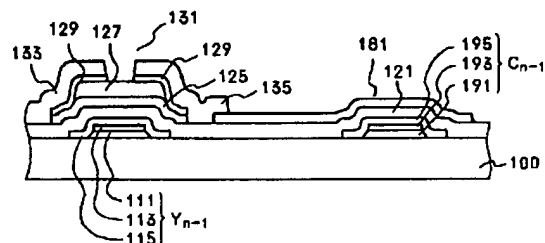
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【構成】 この発明は、絶縁基板上に走査線、走査線を被覆する絶縁膜、走査線上に絶縁膜を介して配置される非単結晶シリコン薄膜および非単結晶シリコン薄膜に電気的に接続されるソース電極及びドレイン電極を備えた半導体装置であって、走査線はアルミニウム(A1)を主成分とする第1金属層と、第1金属層を被覆する合金層と、第1金属層と合金層との間に配置された合金層を構成する一元素を主成分とした第2金属層とを備えている。

【効果】 この発明によれば、走査線の配線抵抗が十分に低減され、しかも過酷な製造条件であっても、製造歩留まりが低下することのない半導体装置が得られる。



【特許請求の範囲】

【請求項1】 絶縁基板上に走査線、前記走査線を被覆する絶縁膜、前記走査線に前記絶縁膜を介して配置される非単結晶シリコン薄膜および前記非単結晶シリコン薄膜に電気的に接続されるソース電極及びドレイン電極を備えた半導体装置において、

前記走査線はアルミニウム(A1)を主成分とする第1金属層と、前記第1金属層を被覆する合金層と、前記第1金属層と前記合金層との間に配置された前記合金層を構成する一元素を主成分とした第2金属層とを備えたことを特徴とした半導体装置。

【請求項2】 前記合金層はモリブデン(Mo)-タングステン(W)合金もしくはモリブデン(Mo)-タンタル(Ta)合金であることを特徴とした請求項1記載の半導体装置。

【請求項3】 前記第2金属層はモリブデン(Mo)を主成分とすることを特徴とした請求項2記載の半導体装置。

【請求項4】 絶縁基板上にアルミニウム(A1)を主成分とする第1金属層と、前記第1金属層を被覆する合金層と、前記第1金属層と前記合金層との間に配置された前記合金層を構成する一元素を主成分とした第2金属層とを含む走査線と、前記走査線を被覆する絶縁膜と、前記走査線に前記絶縁膜を介して配置される非単結晶シリコン薄膜および前記非単結晶シリコン薄膜に電気的に接続されるソース電極及びドレイン電極を備えた半導体装置の製造方法であって、

前記絶縁基板上にアルミニウム(A1)を主成分とする第1金属膜及び前記合金層を構成する前記一元素を主成分とした第2金属膜を堆積する工程と、

前記第1金属膜及び前記第2金属膜をパターニングして第1金属層及び第2金属層を形成する工程と、

前記第1金属層及び前記第2金属層を被覆する合金膜を堆積する工程と、

前記合金膜をパターニングする工程とにより前記走査線を構成することを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、絶縁基板上に非単結晶シリコン薄膜が配置されて成る半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、半導体薄膜として非晶質シリコン(以下、a-Si:Hと略称する。)や多結晶シリコン(以下、p-Siと略称する。)等の非単結晶シリコン薄膜が用いられた半導体装置は、絶縁基板上に比較的大面積にわたり均質に形成できることから、アクティブマトリクス型表示装置の画素スイッチあるいは駆動回路等に利用されている。

【0003】このような半導体装置にあっては、走査線

が十分に低抵抗である必要から、例えばアルミニウム(A1)等の低抵抗金属を走査線に利用することが知られている。

【0004】しかしながら、アルミニウム(A1)を走査線として用いると、配線にヒロック等が発生し、半導体装置のゲート絶縁膜や、走査線と信号線との交差部分の絶縁膜に絶縁不良が生じたり、半導体装置の素子不良を招くと言った問題が生じ、製造歩留まりが大幅に低下してしまう。

【0005】そこで、特開平4-353830号、特開平5-152572号あるいは特開平6-120503号等には、アルミニウム(A1)配線を、アルミニウム(A1)よりも高融点を有するクロム(Cr)、タングステン(W)、チタン(Ti)あるいはタンタル(Ta)等の金属あるいはアルミニウム合金等で被覆することで、アルミニウム(A1)配線のヒロックを防止し、上記した問題点を解決する半導体装置が開示されている。

【0006】

【発明が解決しようとする課題】ところで、a-Si:Hやp-Si等の非単結晶シリコン薄膜は、CVD装置によって熱、光あるいはプラズマ等のエネルギーにより反応ガスを活性化させて成膜される。

【0007】近年では、生産性を向上するため、特に温度等の成膜条件は、アルミニウム(A1)を主体とした走査線にとって一層過酷な条件となっている。このような中、上記構造にあっては、依然としてアルミニウム(A1)配線に発生するヒロックを十分に軽減することができず、このため製造プロセスに大きな制約を受けたり、また製造歩留まりを低減させてしまう。

【0008】この発明は、上記した技術課題に対処して成されたものであって、走査線の配線抵抗が十分に低減され、しかも過酷な製造条件であっても、製造歩留まりが低下することのない半導体装置およびその製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】請求項1に記載される発明は、絶縁基板上に走査線、前記走査線を被覆する絶縁膜、前記走査線に前記絶縁膜を介して配置される非単結晶シリコン薄膜および前記非単結晶シリコン薄膜に電気的に接続されるソース電極及びドレイン電極を備えた半導体装置において、前記走査線はアルミニウム(A1)を主成分とする第1金属層と、前記第1金属層を被覆する合金層と、前記第1金属層と前記合金層との間に配置された前記合金層を構成する一元素を主成分とした第2金属層とを備えたことを特徴としている。

【0010】請求項2に記載される発明は、請求項1記載の半導体装置において、前記合金層はモリブデン(Mo)-タングステン(W)合金もしくはモリブデン(Mo)-タンタル(Ta)合金であることを特徴としてい

る。

【0011】請求項3に記載される発明は、請求項2記載の半導体装置において、前記第2金属層はモリブデン(Mo)を主成分とすることを特徴としている。また、請求項4に記載される発明は、絶縁基板上にアルミニウム(Al)を主成分とする第1金属層と、前記第1金属層を被覆する合金層と、前記第1金属層と前記合金層との間に配置された前記合金層を構成する一元素を主成分とした第2金属層とを含む走査線と、前記走査線を被覆する絶縁膜と、前記走査線上に前記絶縁膜を介して配置される非単結晶シリコン薄膜および前記非単結晶シリコン薄膜に電氣的に接続されるソース電極及びドレイン電極を備えた半導体装置の製造方法であって、前記絶縁基板上にアルミニウム(Al)を主成分とする第1金属膜及び前記合金層を構成する前記一元素を主成分とした第2金属膜を堆積する工程と、前記第1金属膜及び前記第2金属膜をパターニングして第1金属層及び第2金属層を形成する工程と、前記第1金属層及び前記第2金属層を被覆する合金膜を堆積する工程と、前記合金膜をパターニングする工程とにより前記走査線を構成することを特徴としている。

【0012】

【作用】この発明の半導体装置およびその製造方法において特徴的なことは、上述したように、走査線がアルミニウム(Al)を主成分とする第1金属層と、第1金属層を被覆する合金層と、第1金属層と合金層との間に配置された合金層を構成する一元素を主成分とした第2金属層とを備えていることにある。

【0013】走査線を構成する第1金属層がアルミニウム(Al)を主成分としているため、走査線自体の配線抵抗を十分に低減でき、これにより走査パルスに波形歪を生じにくくすることができる。したがって、画素電極への映像信号の書き込み時間が、走査パルスの給電側と、給電側から遠い側とで大きく異なることがなく、よって良好な表示画像が実現できる。

【0014】ところで、アルミニウム(Al)は活性な金属であり、このアルミニウム(Al)を主成分とする第1金属層は、後工程で用いられる薬品等に対して腐食されやすい。しかしながら、この発明によれば、第1金属層は、合金層で十分に被覆されているため、第1金属層の腐食を招くことがない。

【0015】ところで、合金層としては、その抵抗や耐薬品性を考慮すると、特にモリブデン(Mo)-タングステン(W)合金もしくはモリブデン(Mo)-タンタル(Ta)合金等が好適に使用され、特にモリブデン(Mo)-タングステン(W)合金が適している。また、この合金層は、第1金属層を薬品等から保護するばかりでなく、第1金属層のヒロックや歪みの影響による丸膨れを防止するようにも作用する。

【0016】しかしながら、この合金層のみで第1金属

層のヒロックや丸膨れを十分に防止しようとすると、合金層の膜厚を、第1金属層の膜厚の10倍以上の厚膜に設定しなければならない。しかしながら、このような厚膜の合金層は、成膜に長時間を要し、生産性を損なうばかりでなく、走査線の膜厚を増大させ、この段差による配線の段切れや絶縁不良などを生じさせるため、走査線自体をゲート電極とした半導体装置の作成は全く困難となる。

【0017】このようなことから、この発明においては、更に第1金属層と合金層との間に合金層を構成する一元素を主成分とした第2金属層とを備えていることを特徴としている。第2金属層を配置することにより、応力集中を緩和させる等により、合金層を薄膜としても第1金属層にヒロックが生じることが効果的に防止される。この第2金属層は、第1金属層を完全に被覆するものであっても、また第1金属層の主表面のみに配置されるものであってもその効果は確認された。

【0018】第1金属層上に配置される第2金属層としては、アルミニウム(Al)を主成分とする第1金属層のヒロックや丸膨れを防止し、しかも合金層と十分な密着性を確保するため、合金層を構成する一元素を主成分とする必要があり、上記したように合金層がモリブデン(Mo)-タングステン(W)合金もしくはモリブデン(Mo)-タンタル(Ta)合金等であれば、第2金属層にはモリブデン(Mo)を主成分とする金属層が好適に使用される。

【0019】特に、第2金属層をモリブデン(Mo)を主成分として構成するのであれば、第1金属層のパターニングに際し、第1金属層のエッチングレートに比べて第2金属層のエッチングレートを高く設定してエッチングすることで、第1金属層をテーパ形状にパターニングすることができる。これにより、走査線の段差部分での絶縁破壊や配線の段切れなどをその発生を十分に軽減できるといった効果を奏する。

【0020】更に、合金層をモリブデン(Mo)-タングステン(W)合金もしくはモリブデン(Mo)-タンタル(Ta)合金、第2金属層をモリブデン(Mo)を主体として構成すれば、第2金属層と合金層との密着性を高め、接触抵抗をも低減することもできる。また、上記の如く構成すれば、3層を含む走査線を、2回のパターニングで構成することができる。

【0021】

【実施例】以下、本発明の一実施例の半導体装置が用いられたアクティブマトリクス型表示装置用アレイ基板を例に取り、図面を参照して説明する。図1は、この実施例のアクティブマトリクス型表示装置用アレイ基板(1)の一部概略正面図であり、図2は図1中A-A'線に沿って切断した一部概略断面図である。

【0022】このアクティブマトリクス型表示装置用アレイ基板(1)は、透明なガラス基板(100)上に640×

3本の信号線 X_i ($i=1,2,\dots,m,\dots,1920$)と、この信号線 X_i と直交する480本の走査線 Y_j ($j=1,2,\dots,n,\dots,480$)とを備えている。そして、各信号線 X_i と走査線 Y_j とによって囲まれる領域内にI.T.O.

(Indium Tin Oxide) から成る透明な画素電極(181)が配置されて構成されている。

【0023】各信号線 X_i と各走査線 Y_j との交差部分には、走査線 Y_j 自体をゲート電極とした逆スタガ構造のTFT(131)が配置されている。このTFT(131)は、図2に示すように、走査線 Y_j 上に、酸化シリコン(SiO_2)膜及びシリコンナイトライド(SiN_x)膜の積層構造の絶縁膜(121)、絶縁膜(121)上に配置される $a-Si:H$ 薄膜から成る半導体薄膜(125)、半導体薄膜(125)上に配置され走査線 Y_j に自己整合されたチャネル保護膜(127)、半導体薄膜(125)に低抵抗半導体膜(129)を介して電気的に接続されるソース電極(135)および信号線 X_i と一体のドレイン電極(133)が配置されて成っている。

【0024】また、走査線 Y_j と略平行に480本の補助容量線 C_j が配され、絶縁膜(121)を介して配される画素電極(181)と補助容量線 C_j とによって補助容量(C_s)が形成される。

【0025】ところで、この実施例の走査線 Y_j は、純アルミニウム(Al)から成る配線幅8ミクロンの第1金属層(111)と、この第1金属層(111)の上層に配置されるモリブデン(Mo)から成る第2金属層(113)と、第1及び第2金属層(111),(113)を被覆するモリブデン(Mo)-タングステン(W)合金から成る配線幅14ミクロンの合金層(115)とを含む。ここで合金層(115)の配線幅を第1金属層(111)の配線幅に比べて大きく設定する、即ち第1金属層(111)の配線端から合金層(115)を3ミクロンずつ延在させたのは、合金層(115)のパターニングにずれ等が生じても、第1金属層(111)が完全に被覆されるように位置合わせに余裕を持たせるためである。尚、補助容量線 C_j も同一構造であるので説明は省略する。

【0026】走査線 Y_j の第1金属層(111)および補助容量線 C_j の第1金属層(191)は、それぞれ2000オングストロームの膜厚を有し、また走査線 Y_j の第2金属層(113)および補助容量線 C_j の第2金属層(193)は500オングストローム、走査線 Y_j の合金層(115)および補助容量線 C_j の合金層(195)は3000オングストロームの膜厚をそれぞれ有している。

【0027】走査線 Y_j の第1金属層(111)は、走査線 Y_j を構成する主配線であり、狭配線幅であっても十分な低抵抗化を達成するため、1000~3000オングストロームの膜厚とすることが望ましい。膜厚が1000オングストロームよりも薄いと十分な低抵抗化が達成されず、また3000オングストロームを越えると走査線 Y_j の段差が大きくなり、段差部近傍で絶縁不良を招

く恐れがある。

【0028】走査線 Y_j の第2金属層(113)は、第1金属層(111)と合金層(115)との間の密着性を高め、且つ応力を緩和するよう機能するものであり、本発明者等の実験によれば300オングストローム以上であれば十分な効果が得られる。

【0029】また、走査線 Y_j の合金層(115)は、第1金属層(111)及び第2金属層(113)を完全に被覆し、しかも第1金属層(111)のヒロックや丸膨れの発生を防止するように2000~4000オングストロームの膜厚に設定することが望ましい。

【0030】また、補助容量線 C_j も走査線 Y_j と同様であるので、説明は省略する。以上のようにして構成されるアクティブマトリクス型表示装置用アレイ基板(1)によれば、走査線 Y_j 自体の配線抵抗を、21cmで7k Ω と十分に低減することができた。

【0031】また、この実施例のアクティブマトリクス型表示装置用アレイ基板(1)によれば、走査線自体のヒロックや丸膨れ、あるいは絶縁不良等に製造歩留まりの低下が軽減された。

【0032】しかも、このような構成によれば、液晶表示装置として耐久試験、例えば温度50℃、湿度80%RH環境においても画像劣化がないことが確認された。更に、この発明によれば、各TFT(131)の移動度が向上することも確認された。以下に、図3を参照して説明する。

【0033】この実施例のTFT(131)は、チャネル保護膜(127)が走査線 Y_j に対して自己整合されて構成されるので、走査線 Y_j の走査線幅(LG)に対し、走査線 Y_j から1ミクロンずつ小さい12ミクロンのチャネル長(LC)を備えている。また、走査線 Y_j は上述したような3層構造であり、チャネル長(LC)内にそれぞれ段差部A、Bが形成される。

【0034】そして、特にこの実施例では、段差部A、Bとチャネル長(LC)端との距離($\Delta 1$), ($\Delta 2$)がそれぞれ2ミクロンとチャネル長(LC)端に近接して配置されている。

【0035】従って、この段差部A、Bは、絶縁膜(123)の絶縁不良を招くほど急峻ではないものの、チャネル長(LC)端近傍の半導体薄膜(125)に対して十分に電界を集中させるように機能するため、リーク電流の増大を招くことなく移動度が十分に向上される。

【0036】本発明者等の実験によれば、段差部A、Bとチャネル長(LC)端との距離($\Delta 1$), ($\Delta 2$)は、チャネル長(LC)に対して、それぞれチャネル長(LC)*1/4以下に設定されることが特に望ましいことが判明した。

【0037】次に、この実施例のアクティブマトリクス型表示装置用アレイ基板(1)の製造プロセスについて簡単に説明する。まず、図4(a)に示すように、ガラス

基板(100)の一主面上にアルミニウム(A1)膜とモリブデン(Mo)膜とを順次2000オングストローム、500オングストロームの膜厚となるようにスパッターによって堆積する。この後、フォトレジストを配し、露光、現像した後、リン酸、酢酸及び硝酸の混酸を用いてエッチングすることにより、アルミニウム(A1)膜とモリブデン(Mo)膜とのエッチングレートの差からモリブデン(Mo)膜にサイドエッチが入り、テーパ状の第1金属層(111),(191)及び第1金属層(111),(191)の上面のみに配置される第2金属層(113),(193)を得る。尚、図示しないが、同時にアルミニウム(A1)膜とモリブデン(Mo)膜とから成る第1マスク合わせマークを形成しておく。

【0038】この後、第1金属層(111),(191)の側壁及び第2金属層(113),(193)を被覆するようにモリブデン(Mo)-タングステン(W)合金膜をスパッターによって堆積し、フォトレジストを配し、上記したマスク位置合わせマークに位置合わせして露光、現像してモリブデン(Mo)-タングステン(W)合金膜をパターニングして、図4(b)に示すように、第1金属層(111),(191)及び第2金属層(113),(193)と合金層(115),(195)との3層構造の走査線Yn-1を得る。尚、上記した工程と同時に、走査線Yn-1と同様の3層構造の補助容量線Cn-1を得る。また、図示しないが、モリブデン(Mo)-タングステン(W)膜のパターニングと同時に第2マスク合わせマークを形成しておき、以降の露光は第2マスク合わせマークに基づいて行う。

【0039】このようにして形成される走査線n-1および補助容量線Cn-1上に酸化シリコン(SiO₂)膜を堆積する。また、図示しないが、CVD装置の反応炉内に基板(100)を配置し、反応ガスとして200sccmの流量のシラン(SiH₄)、1000sccmの流量のアンモニア(NH₃)、7000sccmの流量の窒素(N₂)を反応炉(113)内に導入すると共に、反応炉内を1Torrに維持し、更にガラス基板温度を330℃まで上昇させる。そして、1300Wの高周波電圧を供給し、これによりシラン(SiH₄)およびアンモニア(NH₃)をプラズマ励起させてシリコンナイトライド(SiN_x)を500オングストロームの膜厚で堆積させる。このようにして、図4(c)に示す酸化シリコン(SiO₂)膜とシリコンナイトライド(SiN_x)との積層構造の絶縁膜(121)を走査線n-1および補助容量線Cn-1上に堆積する。

【0040】この後、同一の反応炉内で、反応ガスを400sccmの流量のシラン(SiH₄)、1400sccmの流量の水素(H₂)にガスを切り換えて反応炉内に導入し、更に150Wの高周波電力を供給して、絶縁膜(121)上にa-Si:H薄膜(123)を500オングストロームの膜厚で堆積させる。尚、a-Si:H薄膜(123)の堆積に際しても反応炉内を1Torrに維持する。

【0041】再び、反応ガスとして200sccmの流量のシラン(SiH₄)、1000sccmの流量のアンモニア(NH₃)、キャリアガスとして7000sccmの流量の窒素(N₂)を反応炉内に導入すると共に、1300Wの高周波電圧を供給して、シリコンナイトライド(SiN_x)を3000オングストロームの膜厚で堆積させる。尚、シリコンナイトライド(SiN_x)の堆積に際しても反応炉内は同様の1Torrに維持する。

【0042】この後、基板(100)を反応炉内から搬出し、シリコンナイトライド(SiN_x)上にフォトレジストを塗布し、ガラス基板(100)裏面から光を照射することで、走査線Yn-1に自己整合された露光が成され、現像、パターニングして図4(c)に示すチャネル保護膜(127)を得る。

【0043】次に、a-Si:H薄膜(123)を島状にパターニングして半導体薄膜(125)とする。そして、図4(d)に示すように、CVD装置内に配置してn⁺a-Si:H薄膜を堆積し、パターニングして島状のn⁺a-Si:H薄膜(128)とし、更にI.T.O.膜を成膜、パターニングして画素電極(181)を形成する。

【0044】更に、アルミニウムを被着し、パターニングして、図2に示すように、ソース電極(135)、ドレイン電極(133)、およびソース電極(135)と半導体薄膜(125)との間に配置される低抵抗半導体膜(129)、ドレイン電極(133)と半導体薄膜(125)との間に配置される低抵抗半導体膜(129)とを得る。

【0045】上述した製造方法によれば、3層構造の走査線Yjを2回のパターニングで旨くテーパ状に形成できるという効果を奏する。また、走査線Yjを構成する各層をそれぞれ堆積し個別にパターニングしてもかまわない。しかしながら、このような製造方法では、各層の合わせ精度を考慮する必要があるため、走査線Yjの配線幅に対する配線抵抗としては、上記した製造方法が有利である。また、上記した製造方法によれば、走査線Yjの段差部がチャネル長(Lc)端に近接して配置できるので、走査線Yjを構成する各層をそれぞれ個別にパターニングすることに比べて高い移動度が確保できる。

【0046】上記した実施例では、半導体薄膜としてa-Si:Hを用いる場合を例にとり説明したが、p-Siであっても良く、また微結晶シリコン等であっても良いことは言うまでもない。

【0047】

【発明の効果】この発明の半導体装置およびその製造方法によれば、走査線の配線抵抗が十分に低減され、しかも過酷な製造条件であっても、製造歩留まりが低下することなく、よって優れた生産性が確保できる。また、本発明の製造方法によれば、少ないパターニング数で製造歩留まりの低下のない、走査線の配線抵抗が十分に低減された半導体装置が得られる。

【図面の簡単な説明】

【図１】図１は、本発明の一実施例のアクティブマトリクス型表示装置用アレイ基板の一部概略正面図である。

【図2】図2は、図1中A-A'線に沿って切断したアクティブマトリクス型表示装置用アレイ基板の一部概略断面図である。

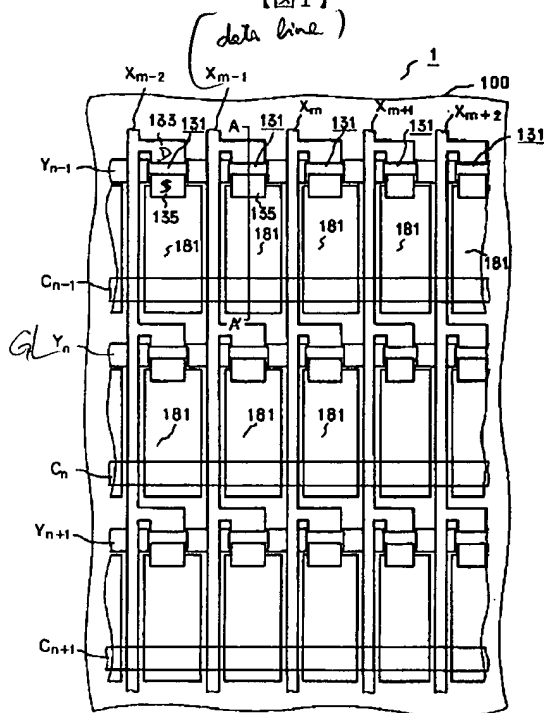
【図3】図3は、図1のTF Tの一部概略断面図である。

【図４】図４は、図１のアクティブマトリクス型表示装置用アレイ基板の製造プロセスを説明するための図である。

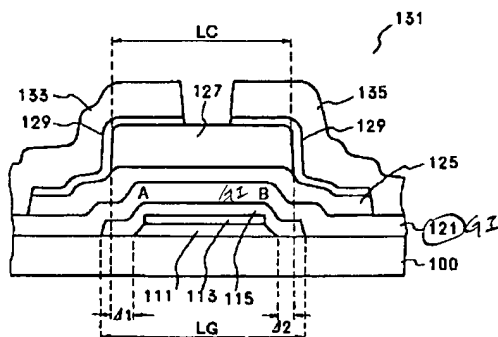
【符号の説明】

- (1) …アクティブマトリクス型表示装置用アレイ基板
(111) …第1金属層
(113) …第2金属層
(115) …合金層
(131) …TFT
(181) …画素電極
X i …信号線
Y j …走査線
C j …補助容量線

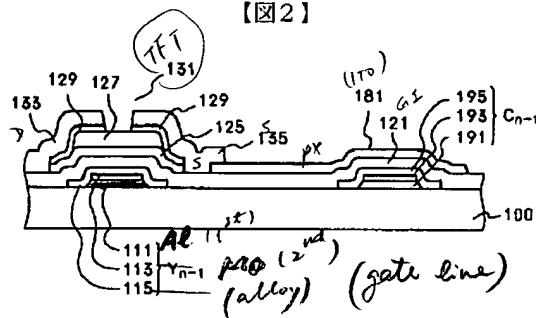
【图1】



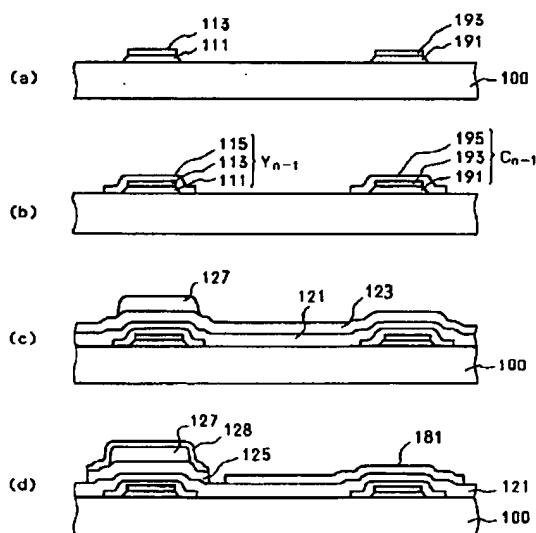
【図3】



【図2】



【例4】



フロントページの続き

(72)発明者 堂城 政幸
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内